

MENU SEARCH INDEX

1/1

**JAPANESE PATENT OFFICE****PATENT ABSTRACTS OF JAPAN**

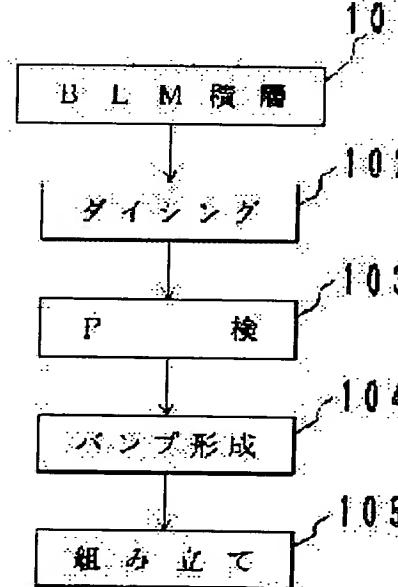
(11)Publication number: 06268201

(43)Date of publication of application: 22.09.1994

(51)Int.Cl.

H01L 29/40
H01L 21/321(21)Application number: 05054474
(22)Date of filing: 16.03.1993(71)Applicant:
(72)Inventor:HITACHI LTD
KISHIKAWA NORIO**(54) CCB BUMP FORMING METHOD****(57)Abstract:**

PURPOSE: To avoid wasteful use of a CCB bump by forming it on a non-defective semiconductor chip only.
CONSTITUTION: The CCB bump forming method is the method with which a CCB bump is formed as an electrode to be used for electrical connection to outside on a semiconductor chip. After a laminated base layer has been formed (step 101) on the semiconductor wafer provided with an inner wiring, a dicing operation is conducted (step 102), the pellet of each semiconductor chip is inspected (step 103), the CCB bump is formed (step 104) only on the semiconductor chip which is judged as a non-defective article by the inspection, and lastly the bumps are assembled (step 105).

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

MENU **SEARCH** **INDEX**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-268201

(43)公開日 平成6年(1994)9月22日

(51)Int.Cl.
H 01 L 29/40
21/321

識別記号

府内整理番号
7376-4M

F I

技術表示箇所

9168-4M

H 01 L 21/ 92

F

審査請求 未請求 請求項の数 4 OL (全 5 頁)

(21)出願番号 特願平5-54474

(22)出願日 平成5年(1993)3月16日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 岸川 範夫

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(74)代理人 弁理士 筒井 大和

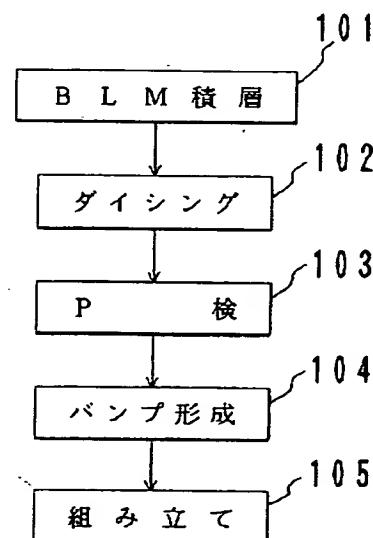
(54)【発明の名称】 CCBバンプの形成方法

(57)【要約】

【目的】 良品の半導体チップのみにCCBバンプが形成されるようにし、CCBバンプの無駄使いを防止する。

【構成】 外部との電気的な接続のための電極としてのCCBバンプを半導体チップに形成する方法であって、内部配線が設けられた半導体ウェハ上に積層下地層を形成(ステップ101)した後、ダイシングを行い(ステップ102)、その各々の半導体チップに対してペレット検査を実施し(ステップ103)、この検査で良品の判定がなされた半導体チップにのみCCBバンプを形成し(ステップ104)、最後に組み立てを実施する(ステップ105)。

図 1



【特許請求の範囲】

【請求項1】 外部との電気的な接続のための電極としてのC C Bバンプを半導体チップに形成する方法であつて、内部配線が設けられた半導体ウェハ上に積層下地層を形成した後にダイシングを行い、その各々の半導体チップに対してペレット検査を実施し、この検査で良品の判定がなされた半導体チップにのみC C Bバンプを形成することを特徴とするC C Bバンプの形成方法。

【請求項2】 前記ペレット検査は、シート上に設けた配線に対しC C Bバンプとなる材料を予め仮付けしたものを前記積層下地層上に押し当てた状態で行うことを特徴とする請求項1記載のC C Bバンプの形成方法。

【請求項3】 前記シートは、ポリイミドであることを特徴とする請求項2記載のC C Bバンプの形成方法。

【請求項4】 前記ペレット検査後に行うC C Bバンプの形成は、前記ペレット検査の直後に前記C C Bバンプを加熱溶融し、前記半導体チップ側へ転写することを特徴とする請求項1記載のC C Bバンプの形成方法。

【発明の詳細な説明】**【0 0 0 1】**

【産業上の利用分野】 本発明は半導体チップの実装技術、特に、半導体チップをC C Bバンプを介して基板に実装するために用いて効果のある技術に関するものである。

【0 0 0 2】

【従来の技術】 ゲートアレイやマイクロコンピュータなどの論理LSIにおいては、集積回路の多機能化、高速化にともない、外部回路との接続を行う端子（入出力ピン）の数が急速に増大し、半導体チップの周辺に設けたボンディングワイヤを接続して外部回路との接続を行うワイヤボンディング方式は既に限界に達している。

【0 0 0 3】 また、ワイヤボンディング方式は、内部領域の配線を周辺部のボンディングパッドまで引き回すので配線長が長くなり、信号伝達速度が遅延する欠点があるため、高速動作が要求される論理LSIの実装方式としては不向きである。

【0 0 0 4】 このような理由から、はんだなどで構成されたC C B (Controlled CollapseBonding: 突起電極) バンプを集積回路の最上層配線に接合し、このC C Bバンプを介して半導体チップを基板に実装する所謂フリップチップ方式が注目されている。このフリップチップ方式は、チップの周辺のみならず、内部領域にも端子を設けることができるので、チップの多ピン化を促進することができる利点がある。また、フリップチップ方式はワイヤボンディング方式に比べてチップ上の配線長を短くすることができるので、論理LSIの高速化を促進できるという利点がある。

【0 0 0 5】 ここで、簡単にC C Bバンプの形成プロセスについて、図5のフローを参照しながら説明する。まず、内部配線を形成した半導体ウェハに電気絶縁膜を被

覆し、ホトレジスト技術で電極用窓を開孔し、多層金属（例えば、Cr/Cu/Au、Cr/Ni/Auなど）で電極下地（BLM: Ball Limiting Metalization）を形成し（ステップ201）、その電極下地の上にPb、Snの蒸着技術によりはんだバンプとなる材料を形成する（ステップ202）。

【0 0 0 6】 C C Bバンプ形成後は、半導体チップの電気的動作状況を検査して良品を選別するためのペレット検査（P検）を行い（ステップ203）、蒸着されたPb-Sn層を均一なはんだ組成に形成させるために、不活性雰囲気中で加熱し、表面張力によって半球状のはんだバンプを形成（これをウェットバック法という）する（ステップ204）。こののち、ウェハ状態の半導体チップをダイシングし（ステップ205）、半導体チップを組み立てる（ステップ206）。

【0 0 0 7】 なお、フリップチップ方式に関する技術は、例えば、IBM社発行「IBMジャーナル・オブ・リサーチ・アンド・ディベロップメント、第13巻、No.3 (IBM Journal of Research and Development, Vol.13, No.3)」239頁～250頁に記載がある。

【0 0 0 8】

【発明が解決しようとする課題】 本発明者の検討によれば、C C Bバンプの形成後に半導体チップの電気的動作状況を検査するペレット検査を行う従来のC C Bバンプの形成方法にあっては、ペレット検査で不良品となった半導体チップ上に形成されたはんだバンプが無駄になるという問題がある。また、工程完了が長く、製造工程が複雑になるという問題もある。

【0 0 0 9】 そこで、本発明の目的は、良品の半導体チップのみにC C Bバンプが形成されるようにし、C C Bバンプの無駄使いを防止することのできる技術を提供することにある。

【0 0 1 0】 また、本発明の他の目的は、製造工程を簡略化して、低コストの製品が提供することができるようになる技術を提供することにある。

【0 0 1 1】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0 0 1 2】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下の通りである。

【0 0 1 3】 すなわち、外部との電気的な接続のための電極としてのC C Bバンプを半導体チップに形成する方法であつて、内部配線が設けられた半導体ウェハ上に積層下地層を形成した後にダイシングを行い、その各々の半導体チップに対してペレット検査を実施し、この検査で良品の判定がなされた半導体チップにのみC C Bバンプを形成するようにしている。

【0014】

【作用】上記した手段によれば、ペレット検査で良品の判定が出た半導体チップに対してのみCCBバンプが形成される。したがって、不良品に対してCCBバンプをしない分のはんだを節約することができる。また、工程短縮も可能になり、量産製が向上する。

【0015】

【実施例】図1は本発明によるCCBバンプの形成方法を示すフローチャートであり、図2は本発明方法の適用の対象となる半導体チップの要部を示す断面図である。

【0016】図1に示すように、本発明は、図5のステップ201と同様の工程を経て電極下地（BLM）を形成する（ステップ101）。ついで、半導体ウェハをダイシングし、集積回路をチップ状に切り出す（ステップ102）。次に、予めシート状に配列されたはんだバンプを使用してチップ毎にペレット検査（P検）を行う（ステップ103）。このペレット検査を行うに際しては、ウェハ上に形成されている集積回路（チップ）毎に電気的な動作を検査針を接触させてチェックし、良品を選別する。

【0017】そして、良品として選別されたチップに対応するはんだバンプのみを加熱溶解し（この加熱は検査装置に設けられたりフロー機構により行われる）、これをBLM側へ転写してバンプを形成する（ステップ104）。こののち、半導体チップの組み立てが行われる（ステップ105）。

【0018】次に、図2のほか図3及び図4に示す説明図を用い、本発明によるバンプ形成方法を説明する。

【0019】図2に示すように、半導体基板1上には、 SiO_2 からなる絶縁膜2を介してアルミニウム導体配線路（内部配線）3が形成されている。さらに、アルミニウム導体配線路3上には表面保護膜（電気絶縁層）4が設けられている。この表面保護膜4の一部にはコンタクト孔（電極窓）が設けられ、そのコンタクト孔部分に積層下地層5が設けられている。この積層下地層5は、BLMを順次積層（最下面にCr層、この表面にNi層、最上面にAu層を設けた3層）した構成になっている。

【0020】この積層下地層5の表面にははんだバンプ6が形成されるが、その形成方法について図3及び図4を参照して説明する。なお、ここでは説明の便宜上はんだバンプ6は3個のみを図示しているが、実際には多数個が設けられている。

【0021】図3に示すように、ポリイミド製のシート7にはCuまたはAlによるシート内配線8が一定間隔（積層下地層5の中心相互間と同一間隔）に設けられ、その上面にははんだ9が盛られており、このはんだ9にペレット検査用の針（ワイヤ）10の先端が検査時に当接される。シート内配線8の下面には微小なパッドメタライズ11が設けられ（このパッドメタライズ11は、

はんだバンプ6転写後のバンプ体積のばらつきを極力抑えるためである）、はんだバンプ6はパッドメタライズ11に吊下した状態で電気的に接続されている。

【0022】ここで、CCBバンプ組成（Pb-1.8wt%Sn）の溶融温度が320℃であるため、はんだバンプ6をシート7から転写させる際には、少なくとも前記温度より高い温度が必要となる。そこで、本実施例では、350℃の耐熱性を有するポリイミドをシート7に用いている。また、ポリイミド製のシート7は凹凸などの吸収が可能であり、はんだバンプ6を一括して集積回路側へ転写させるようにも機能している。

【0023】次に、CCBバンプの形成方法について説明する。まず、図2の状態まで完成した半導体チップ12に対し、積層下地層5とシート7に設けられているはんだバンプ6とを位置合わせし、シート7上のはんだバンプ6を押し当てる。この状態で針10をはんだ9に当て、ペレット検査を実施する。

【0024】ペレット検査の結果、良品チップの判定が出た場合、この検査工程において直ちにはんだバンプ6と半導体チップ12とを加圧接触したまま加熱してはんだバンプ6を溶かし、積層下地層5にはんだバンプ6を転写した後、はんだバンプ6とシート7を引き離す。はんだバンプ6を溶融する手段としては、ヒートブロック加熱、ホットジェットによる雰囲気加熱などがある。なお、この加熱は、はんだバンプ6の酸化を防止するため、不活性雰囲気（例えば、窒素雰囲気）内で行うようになる。

【0025】以上のように、ダイシングを先に行ってからペレット検査をし、良品に対してのみCCBバンプの形成を行うため、従来に比べ1/3程度に工程を短縮できることが確かめられた。

【0026】なお、ペレット検査で不良の判定がなされた場合、はんだバンプ6の転写処理は行われない。したがって、その分だけ高価なはんだバンプ6を回収でき、はんだの節約が図れ、材料コストを低減することができる。

【0027】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0028】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

【0029】すなわち、外部との電気的な接続のための電極としてのCCBバンプを半導体チップに形成する方法であって、内部配線が設けられた半導体ウェハ上に積層下地層を形成した後にダイシングを行い、その各々の半導体チップに対してペレット検査を実施し、この検査で良品の判定がなされた半導体チップにのみCCBバン

プを形成するようにしたので、はんだを節約することができる。また、工程短縮も可能になり、量産製が向上する。

【図面の簡単な説明】

【図1】本発明によるCCBバンプの形成方法を示すフローチャートである。

【図2】本発明方法の適用の対象となる半導体チップの要部を示す断面図である。

【図3】ペレット検査時の際のはんだバンプと半導体チップの位置関係を示す断面図である。

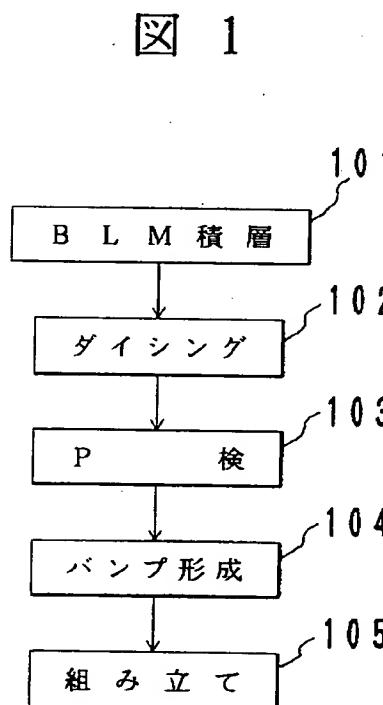
【図4】CCBバンプの形成後の半導体チップの状態を示す断面図である。

【図5】従来のCCBバンプの形成方法を示すフローチャートである。

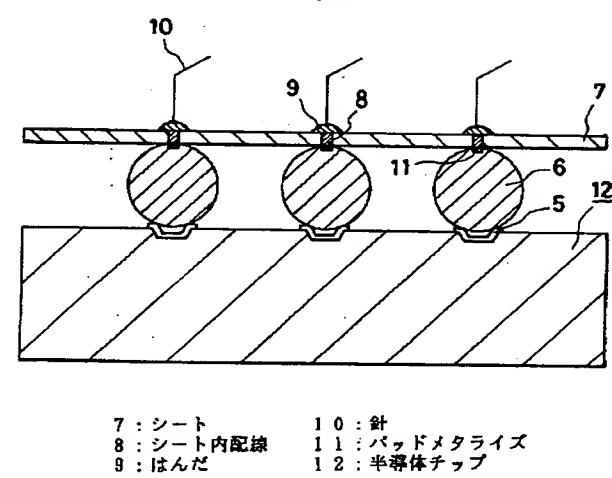
【符号の説明】

- 1 半導体基板
- 2 絶縁膜
- 3 アルミニウム導体配線路
- 4 表面保護膜
- 5 積層下地層
- 6 はんだバンプ
- 7 シート
- 8 シート内配線
- 9 はんだ
- 10 鈎
- 11 パッドメタライズ
- 12 半導体チップ

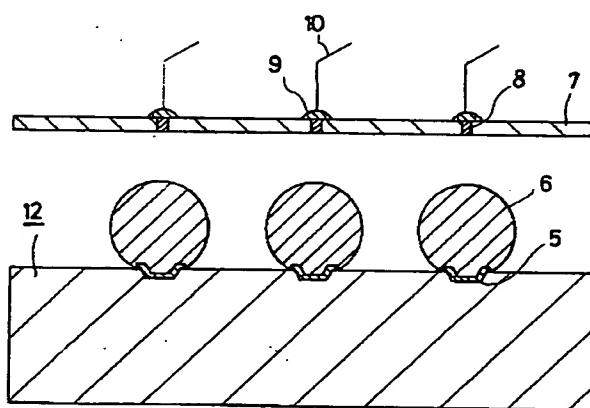
【図1】



【図3】

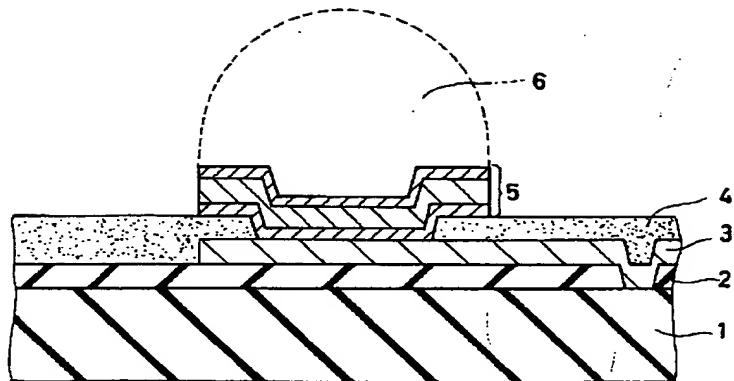


【図4】



【図2】

図2



1 : 半導体基板
2 : 絶縁膜
3 : アルミニウム導体配線路
4 : 表面保護膜
5 : 積層下地層
6 : はんだバンプ

【図5】

図5

